

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

2/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

012110294 \*\*Image available\*\*  
WPI Acc No: 1998-527206/ 199845  
XRPX Acc No: N98-412239

Semiconductor chip for semiconductor device manufacture - has  
information like ID number, year number and station number which are  
printed on its lower surface

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10233350	A	19980902	JP 9736370	A	19970220	199845 B

Priority Applications (No Type Date): JP 9736370 A 19970220

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 10233350	A	6	H01L-021/02	

Abstract (Basic): JP 10233350 A

The semiconductor chip (10) is formed on a large semiconductor  
wafer. Information like ID number (12c), year number (12a), station  
number (12d) are printed on lower surface of chip.

ADVANTAGE - Enables to clarify positioning of chip on semiconductor  
wafer. Improves yield with high performance.

Dwg.1/4

Title Terms: SEMICONDUCTOR; CHIP; SEMICONDUCTOR; DEVICE; MANUFACTURE;  
INFORMATION; ID; NUMBER; YEAR; NUMBER; STATION; NUMBER; PRINT; LOWER;  
SURFACE

Derwent Class: P55; U11

International Patent Class (Main): H01L-021/02

International Patent Class (Additional): B23K-026/00; H01L-021/66;  
H01L-021/68

File Segment: EPI; EngPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2003 JPO & JAPIO. All rts. reserv.

05950250 \*\*Image available\*\*  
SEMICONDUCTOR CHIP AND MANUFACTURING SYSTEM OF SEMICONDUCTOR DEVICE USING  
THE SAME

PUB. NO.: 10-233350 A]  
PUBLISHED: September 02, 1998 (19980902)  
INVENTOR(s): HISATOMI KIYOSHI  
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 09-036370 [JP 9736370]  
FILED: February 20, 1997 (19970220)  
INTL CLASS: [6] H01L-021/02; B23K-026/00; H01L-021/66; H01L-021/68  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 12.5 (METALS --  
Working); 46.2 (INSTRUMENTATION -- Testing)  
JAPIO KEYWORD:R002 (LASERS); R115 (X-RAY APPLICATIONS)

#### ABSTRACT

PROBLEM TO BE SOLVED: To make it possible to clearly identify the position  
of a semiconductor chip formed on a large diameter wafer in manufacturing a  
semiconductor package using a large diameter wafer.

SOLUTION: A chip specific mark print 12 is marked on the backside 10b of an  
acceptable chip 10 selected, before dicing, from semiconductor chips 10  
formed on a large diameter semiconductor wafer. At that time, as a mark

print 12, a position number 12d consisting of X-axis coordinate and Y-axis coordinate identifying the position of the chip 10 in the semiconductor wafer face is marked. This method makes it possible to easily identify a position of a defective chip in the semiconductor wafer face when rejected in the semiconductor package at a final test after assembling.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233350

(43)公開日 平成10年(1998) 9月2日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 21/02

H 0 1 L 21/02

A

B 2 3 K 26/00

B 2 3 K 26/00

B

H 0 1 L 21/66

H 0 1 L 21/66

A

21/68

21/68

F

審査請求 未請求 請求項の数18 O L (全 6 頁)

(21)出願番号

特願平9-36370

(22)出願日

平成9年(1997) 2月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 久富 清志

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74)代理人 弁理士 鈴江 武彦 (外6名)

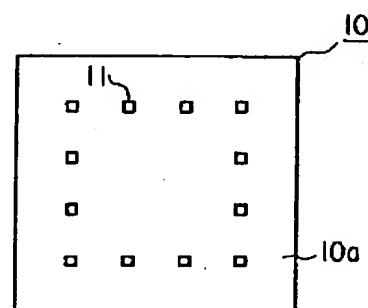
(54)【発明の名称】 半導体チップおよびそれを用いた半導体装置の製造システム

(57)【要約】

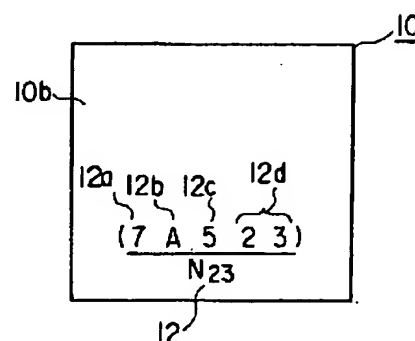
【課題】本発明は、大口径ウェーハによる半導体パッケージの製造において、大口径ウェーハ上に形成された各半導体チップの位置を明確化できるようにすることを最も主要な特徴とする。

【解決手段】たとえば、大口径の半導体ウェーハ上に形成された半導体チップ10のうち、ダイシング工程前に、良品と選別されたチップ10の裏面10bに、各チップ固有のマーキング印字12をマーキングする。その際、マーキング印字12として、該チップ10の半導体ウェーハ面内での位置を示すX軸座標、Y軸座標からなる位置番号12dをマーキングする。これにより、アセンブリ後の最終検査によって不合格品となった半導体パッケージにおける不良チップの、半導体ウェーハ面内での位置を容易に特定できる構成とされている。

(a)



(b)



## 【特許請求の範囲】

【請求項1】 半導体ウェーハ上に形成されたチップの一方面に、少なくとも該チップの前記ウェーハ面内における位置を示すための管理情報をマーキングしてなることを特徴とする半導体チップ。

【請求項2】 前記チップの一方面は、パッドが形成されていない裏面であることを特徴とする請求項1に記載の半導体チップ。

【請求項3】 前記管理情報は、レーザによりマーキングされることを特徴とする請求項1に記載の半導体チップ。

【請求項4】 前記管理情報のマーキングは、ダイシング工程前に行われることを特徴とする請求項1に記載の半導体チップ。

【請求項5】 前記管理情報のマーキングは、前記半導体ウェーハ上に形成された複数のチップのうち、良品と選別されたチップに対してのみ実施されることを特徴とする請求項1に記載の半導体チップ。

【請求項6】 半導体ウェーハ上に形成された複数の半導体チップのうち、良品と選別されたチップのパッドの非形成面に、少なくとも該チップの前記ウェーハ面内における位置を示すための管理情報をマーキングしてなることを特徴とする半導体チップ。

【請求項7】 前記管理情報のマーキングは、ダイシング工程前に行われることを特徴とする請求項6に記載の半導体チップ。

【請求項8】 前記管理情報は、レーザによりマーキングされることを特徴とする請求項6に記載の半導体チップ。

【請求項9】 少なくとも半導体ウェーハ面内におけるチップの位置を示すための管理情報がマーキングされた半導体チップを、最終製品として組み立てる組立部と、組み立てられた最終製品を検査する検査部と、

前記検査によって不合格品と判定された最終製品より、該チップにマーキングされている管理情報を読み取る読取部と、

読み取った管理情報を集計する集計部と、

前記集計の結果から、不合格品となった最終製品におけるチップの不良を解析する解析部とを具備したことを特徴とする半導体装置の製造システム。

【請求項10】 前記読取部は、前記管理情報の読み取りをX線装置を用いて間接的に行うものであることを特徴とする請求項9に記載の半導体装置の製造システム。

【請求項11】 前記集計部は、不合格品となった最終製品における全チップの、半導体ウェーハ面内での位置をマッピングするものであることを特徴とする請求項9に記載の半導体装置の製造システム。

【請求項12】 前記解析部は、その解析の結果をウェーハ製造装置にフィードバックし、半導体ウェーハ上の各位置での半導体チップの形成を最適化するものである

ことを特徴とする請求項9に記載の半導体装置の製造システム。

【請求項13】 前記ウェーハ製造装置は、複数の半導体チップが形成された半導体ウェーハを製造するメイキング部、各半導体チップの良否を選別する選別部、および、良品と選別された半導体チップの、そのパッドの非形成面に管理情報をマーキングするマーキング部からなることを特徴とする請求項12に記載の半導体装置の製造システム。

10 【請求項14】 前記マーキング部は、前記管理情報をレーザによりマーキングするものであることを特徴とする請求項13に記載の半導体装置の製造システム。

【請求項15】 複数の半導体チップが形成された半導体ウェーハを製造するメイキング部と、

前記各半導体チップの良否を選別する選別部と、

前記半導体ウェーハ上に形成された複数の半導体チップのうち、良品と選別されたチップのパッドの非形成面に、少なくとも該チップの前記ウェーハ面内における位置を示すための管理情報をマーキングするマーキング部と、

20 前記管理情報がマーキングされた半導体チップを、最終製品として組み立てる組立部と、

組み立てられた最終製品を検査する検査部と、

前記検査によって不合格品と判定された最終製品より、該チップにマーキングされている管理情報を読み取る読取部と、

読み取った管理情報を集計する集計部と、

前記集計の結果から、不合格品となった最終製品におけるチップの不良を解析し、その解析の結果を前記メイキング部にフィードバックする解析部とを具備したことを特徴とする半導体装置の製造システム。

【請求項16】 前記マーキング部は、前記管理情報をレーザによりマーキングするものであることを特徴とする請求項15に記載の半導体装置の製造システム。

【請求項17】 前記読取部は、前記管理情報の読み取りをX線装置を用いて間接的に行うものであることを特徴とする請求項15に記載の半導体装置の製造システム。

【請求項18】 前記集計部は、不合格品となった最終製品における全チップの、半導体ウェーハ面内での位置をマッピングするものであることを特徴とする請求項15に記載の半導体装置の製造システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、半導体チップおよびそれを用いた半導体装置の製造システムに関するもので、特に、大口径ウェーハによる半導体パッケージの製造に用いられるものである。

## 【0002】

50 【従来の技術】従来、ウェーハ口径が3～8インチ程度

の半導体ウェーハに対するチップの形成は、バッジ処理が主流となっていた。このバッジ処理は、1～6ロット単位で行われるようになってきている。このため、ウェーハの管理は、通常、ロットごと（たとえば、1ロットあたり25枚）に行われている。

【0003】ところで、半導体パッケージの製造に際して、半導体ウェーハ上に形成された各チップは、チップの良否を選別するダイソートテスト(D/S)が行われて、不良チップにのみマーキングが施される。そして、そのマーキングにより区別される良品チップだけが、アセンブリ工程における半導体パッケージの組み立てに供されるようになってきている。

【0004】また、組み立てられた半導体パッケージは、最終検査の後、検査を合格したものだけが製品として出荷されることになる。この最終検査においても、また、上記アセンブリ工程においても、ウェーハの管理は、ロットごとに行われるようになってきている。また、その出荷の際には、製品にロット番号を印字して管理するシステムになっていた。

【0005】しかしながら、近年では、製造プロセスの進歩やチップの高集積化または多機能化の要求などにもなつて、ウェーハ口径が8～11インチ程度と大口径の半導体ウェーハの使用が増えつつある。

【0006】大口径化した半導体ウェーハの場合、その大きさから、チップを形成するための各製造プロセスが枚葉処理となるため、ロットごとの管理の必要性は希薄となる。

【0007】また、半導体ウェーハを大口径化する際の課題の一つに、ウェーハ面内の均一性があげられる。たとえば、高温熱プロセスでの熱ストレスにより生じるスリップ（原子の線状ずれ）や転位（ディスロケーション）とよばれる結晶欠陥は、ウェーハのある特定の位置に発生しやすいことが知られている。

【0008】同様に、R I Eプロセスなどでの構造ストレスによるダメージの大／小についても、ウェーハ面内で一定の傾向をもっていることが理解されている。これらプロセスによる結晶欠陥やダメージは、大口径化された半導体ウェーハを用いて製造される製品の信頼性に悪影響を与える結果となる。

【0009】このように、従来は、製品をロットごとに管理するようにしており、また、チップのウェーハ面内での位置を管理するようになっていない。このため、半導体ウェーハの大口径化にともなつて枚葉ごとの管理の必要性とともに、特に、大口径化された半導体ウェーハ上での、結晶欠陥やダメージが生じやすい位置に形成された品質の悪いチップの位置を特定するのが困難であるなどの問題があった。

【0010】

【発明が解決しようとする課題】上記したように、従来においては、ウェーハ面内での各チップの位置を管理す

るようになっていないため、ウェーハのどの位置に形成されたチップかが不明確であり、結晶欠陥やダメージが生じやすい位置に形成された品質の悪いチップの、ウェーハ上での位置を特定できないという不具合があった。

【0011】そこで、この発明は、半導体チップの半導体ウェーハ面内での位置を明確化でき、チップの高品質化とともに、製品の歩留まりを大幅に向上することが可能な半導体チップおよびそれを用いた半導体装置の製造システムを提供することを目的としている。

10 【0012】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体チップにあつては、半導体ウェーハ上に形成されたチップの一方面に、少なくとも該チップの前記ウェーハ面内における位置を示すための管理情報をマーキングしてなる構成とされている。

【0013】また、この発明の半導体チップにあつては、半導体ウェーハ上に形成された複数の半導体チップのうち、良品と選別されたチップのパッドの非形成面に、少なくとも該チップの前記ウェーハ面内における位置を示すための管理情報をマーキングしてなる構成とされている。

【0014】また、この発明の半導体装置の製造システムにあつては、少なくとも半導体ウェーハ面内におけるチップの位置を示すための管理情報がマーキングされた半導体チップを、最終製品として組み立てる組立部と、組み立てられた最終製品を検査する検査部と、前記検査によって不合格品と判定された最終製品より、該チップにマーキングされている管理情報を読み取る読取部と、読み取った管理情報を集計する集計部と、前記集計の結果から、不合格品となった最終製品におけるチップの不良を解析する解析部とから構成されている。

【0015】さらに、この発明の半導体装置の製造システムにあつては、複数の半導体チップが形成された半導体ウェーハを製造するメイキング部と、前記各半導体チップの良否を選別する選別部と、前記半導体ウェーハ上に形成された複数の半導体チップのうち、良品と選別されたチップのパッドの非形成面に、少なくとも該チップの前記ウェーハ面内における位置を示すための管理情報をマーキングするマーキング部と、前記管理情報がマーキングされた半導体チップを、最終製品として組み立てる組立部と、組み立てられた最終製品を検査する検査部と、前記検査によって不合格品と判定された最終製品より、該チップにマーキングされている管理情報を読み取る読取部と、読み取った管理情報を集計する集計部と、前記集計の結果から、不合格品となった最終製品におけるチップの不良を解析し、その解析の結果を前記メイキング部にフィードバックする解析部とから構成されている。

【0016】この発明の半導体チップおよびそれを用いた半導体装置の製造システムによれば、不合格品となつ

た最終製品における不良な半導体チップの、半導体ウェーハ面内での位置を容易に特定できるようになる。これにより、不良の解析やチップを形成するための製造プロセスの改善が容易に可能となるものである。

#### 【0017】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の一形態にかかる、半導体チップの構成を概略的に示すものである。なお、同図(a)はチップの表面を示す平面図、同図(b)は同じく裏面を示す平面図である。

【0018】すなわち、この半導体チップ10は、たとえば、ウェーハ口径が8~11インチとされた大口径の半導体ウェーハ(後述する)上に形成されたものであって、その表面10aには複数の接続パッド11が配設されている。

【0019】また、半導体チップ10のパッドの非形成面である裏面(一方)10bには、各チップ固有のマーキング印字(N<sub>x,y</sub>)12が2~3μm程度の深さでマーキングされている。マーキング印字12としては、たとえば、製造年度を示す年度番号12a、ロット番号12b、ウェーハ番号(ID)12c、および、該チップ10の半導体ウェーハ面内での位置を示すための管理情報としての位置番号(X軸座標、Y軸座標)12dからなっている。

【0020】このマーキング印字12は、ダイシング工程前に、ダイソートテスト(D/S)によって良品と選別されたチップに対してのみ、レーザによりX線装置による読み取りが可能なようにマーキングされるようになっている。

【0021】図2は、上記したマーキング印字12のマーキングを行うようにしてなる、ウェーハ製造装置の概略構成を示すものである。ウェーハ製造装置20は、たとえば、複数の半導体チップ10が形成された大口径の半導体ウェーハ1を製造するウェーハメイキング部21、半導体チップ10の良否を選別する選別部22、および、半導体チップ10に上記マーキング印字12をマーキングするレーザ書込部(マーキング部)23からなっている。

【0022】ウェーハメイキング部21は、たとえば、枚葉処理によりRIEや酸化または拡散などの各種の製造プロセスを経て、半導体ウェーハ1上に複数の半導体チップ10を形成するものである。

【0023】選別部22は、たとえば、ダイソートテストを行って、上記ウェーハメイキング部21にて製造された半導体ウェーハ1上の、各半導体チップ10の良否を選別するものである。この選別部22での、半導体チップ10の良否選別の結果は、上記レーザ書込部23に送られるようになっている。

【0024】レーザ書込部23は、上記選別部22からの各半導体チップ10の良否選別の結果にしたがって、

良品と選別された半導体チップ10に対してのみ、上記マーキング印字12をマーキングするものであり、たとえば、良否選別の結果としての、良品と選別された半導体チップ10のX軸座標、Y軸座標に関するデータと、別の制御部(図示していない)からの年度番号12aなどの他のデータとにもとづいて、マーキングのためのデータを生成する制御系を有している。

【0025】図3は、本発明にかかる、半導体パッケージの製造に用いられる製造システムの概略構成を示すものである。この製造システムは、たとえば、上記ウェーハ製造装置20から供給される大口径の半導体ウェーハ1を受け取って、上記マーキング印字12がマーキングされた半導体チップ10を最終製品としての半導体パッケージに組み立てるアセンブリ部(組立部)31、および、組み立てられた半導体パッケージを最終的に検査する最終検査部32の他、X線読取部33、マッピング部(集計部)34、解析部35などを備えて構成されている。

【0026】アセンブリ部31は、たとえば、ダイシング工程、マウント工程、リード・ボンディング工程、モールド工程、トリミングおよびフォーミングの各工程からなっている。

【0027】最終検査部32は、高温放置テストなどを行うもので、この検査を通った合格品だけが製品として出荷される。X線読取部33は、検査によって不合格品と判定された半導体パッケージより、ベッドを介して該不良チップにマーキングされているマーキング印字12を間接的に読み取るもので、たとえばX線装置によって構成されている。

【0028】マッピング部34は、不合格品となった半導体パッケージにおける不良チップのマーキング印字12をもとに、その不良チップの半導体ウェーハ面内での位置をマッピングすることにより、たとえば図4に示すような、全不良チップについての半導体ウェーハ面内での位置を示すマッピングデータ34aを作成するようになっている。

【0029】解析部35は、上記マッピング部34で作成されたマッピングデータ34aをもとにして、不良の解析を行うものである。この解析部35での解析の結果は、たとえば、上記ウェーハメイキング部21にフィードバックされて、各種の製造プロセスの改善に供されるようになっている。

【0030】ここで、図4に示したマッピングデータ34aを例に、製造プロセスの改善について説明する。たとえば、最終検査部32での製品化後の検査によって不合格品とされた半導体パッケージにおける不良チップ(図示×印)は、このマッピングデータ34aの場合、半導体ウェーハの周辺部分に集中していることが見て取れる。

【0031】解析の結果、これは、ゲート電極加工時の

R I Eプロセスにおいて、ウェーハの周辺部分でのエッチングレートが中央付近よりも速いために、周辺部分ではゲート耐圧の-marginがかせがないためである、と判明したとする。

【0032】この解析の結果をふまえ、たとえば、上記ウェーハメイキング部21でのゲート電極加工時のR I Eプロセスにおけるエッチングの条件を調整することによって、ゲート電極加工時のR I Eプロセスの最適化を図ったところ、上記最終検査部32での合格率（製品の歩留まり）が改善前は92%であったのに対し、99.8%にまで向上できた。

【0033】このように、選別部22でのテストによって良品チップと選別されたにもかかわらず、たとえば、ゲート電極加工時のR I Eプロセスの不適合などにより、最終検査部32での製品化後の検査によって不合格品となるような品質の悪いチップ（不良チップ）の、半導体ウェーハ面内での位置を容易に特定できるようになる。

【0034】これにより、不良の解析やチップを形成するための製造プロセスの最適化を図ることが可能となるため、品質の悪い半導体チップの形成を軽減でき、製品の歩留まりを大幅に向上できるようになるものである。

【0035】上記したように、不合格品となった半導体パッケージにおける不良チップの、半導体ウェーハ面内での位置を容易に特定できるようにしている。すなわち、良品と選別された半導体チップに、半導体ウェーハ面内での位置を示すマーキング印字をマーキングするようにしている。これにより、製品化後の最終検査により不合格品となった半導体パッケージの、そのチップ上のマーキング印字を読み取ってマッピングすることで、半導体ウェーハ面内における品質の悪いチップが形成される位置を明確化することが可能となる。したがって、不良の解析やチップを形成するための製造プロセスの改善が容易に可能となり、品質の悪いチップの形成を抑えて、製品の歩留まりを大幅に向上できるようになるものである。

【0036】なお、上記した本発明の実施の一形態においては、ゲート電極加工時のR I Eプロセスの最適化（構造ストレスによるダメージの軽減）を図ることによって製品の歩留まりを向上するようにした場合の例を説明したが、これに限らず、たとえば酸化または拡散のための高温熱プロセスの不適合（熱ストレスにより生じるスリップや転位などの結晶欠陥の発生）を改善する場合にも同様に適用できる。

【0037】また、チップの半導体ウェーハ面内での位

置を示すための管理情報としては、X軸座標、Y軸座標からなる位置番号に限らず、たとえばチップ位置を特定することが可能なシリアル番号を用いるようにしても良い。

【0038】また、マッピングデータを作成する場合においては、選別部での半導体チップの良否選別の結果を考慮するようにしても良い。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

10 【0039】

【発明の効果】以上、詳述したようにこの発明によれば、半導体チップの半導体ウェーハ面内での位置を明確化でき、チップの高品質化とともに、製品の歩留まりを大幅に向上することが可能な半導体チップおよびそれを用いた半導体装置の製造システムを提供できる。

【図面の簡単な説明】

【図1】この発明の実施の一形態にかかる、半導体チップの構成を概略的に示す平面図。

20 【図2】同じく、ウェーハ製造装置の概略を示す構成図。

【図3】同じく、製造システムの概略構成を示すブロック図。

【図4】同じく、かかる動作を説明するために示すマッピングデータの概略図。

【符号の説明】

1…半導体ウェーハ

10…半導体チップ

10a…チップ表面

10b…チップ裏面

30 11…接続パッド

12…マーキング印字

12a…年度番号データ

12b…ロット番号データ

12c…ウェーハ番号（ID）

12d…位置番号データ

20…ウェーハ製造装置

21…ウェーハメイキング部

22…選別部

23…レーザ書込部

40 31…アセンブリ部

32…最終検査部

33…X線読取部

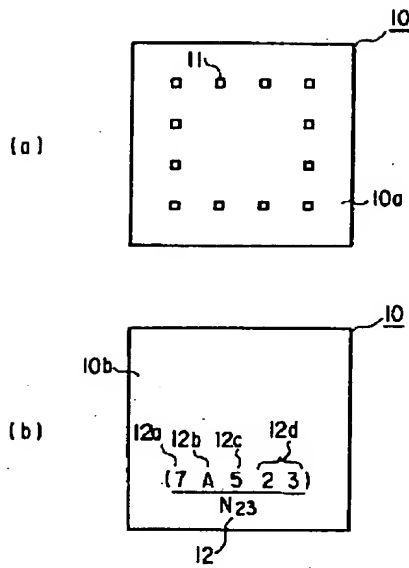
34…マッピング部

34a…マッピングデータ

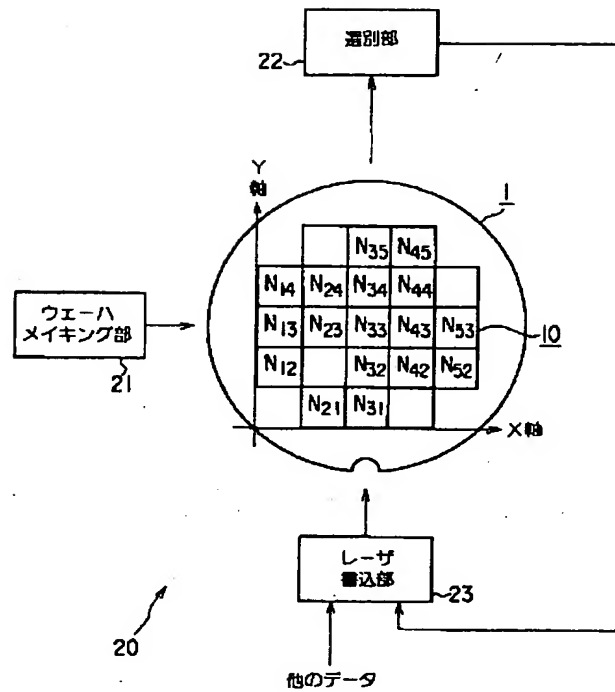
35…解析部



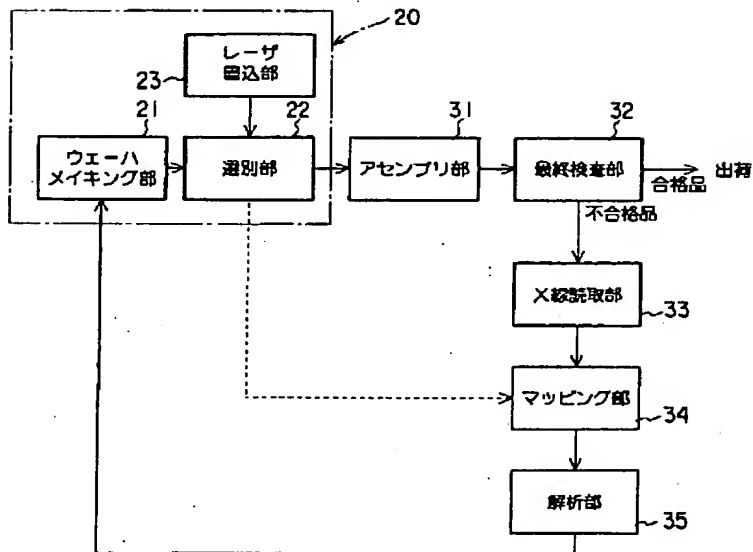
【図1】



【図2】



【図3】



【図4】

